

THOMSON
★
DELPHION

RESEARCH**PRODUCTS****INSIDE DELPHION**
[Log Out](#) | [Work Files](#) | [Saved Searches](#) | [My Account](#) | [Products](#)

 Search: [Quick/Number](#) [Boolean](#) [Advanced](#) [Derwent](#)

The Delphion Integrated View

 Get Now: ☒ PDF | [More choices...](#)

 Tools: [Add to Work File](#): [Create new Wor](#)

 View: [Expand Details](#) | [INPADOC](#) | Jump to: [Top](#) Go to: [Derwent](#)
[Email](#)

🔍 Title: **WO0243153A1: METHOD FOR MANUFACTURING SEMICONDUCTOR**
[French]

🔍 Derwent Title: Method for manufacturing semiconductor wafer [\[Derwent Record\]](#)

🔍 Country: **WO** World Intellectual Property Organization (WIPO)

🔍 Kind: **A1** Publ. of the Int. Appl. with Int. search report

🔍 Inventor: **QU, Wei Feig**; c/o SHIN-ETSU HANDOTAI CO., LTD. Isobe R & D
Centr, 13-1, Isobe 2-chome, Annaka-shi, Gunma 379-0196, China
KIMURA, Masanori; c/o SHIN-ETSU HANDOTAI CO., LTD. Isobe R & D
Centr, 13-1, Isobe 2-chome, Annaka-shi, Gunma 379-0196, Japan

🔍 Assignee: **SHIN-ETSU HANDOTAI CO., LTD.**, 4-2, Marunouchi 1-chome, Chiyoda-
ku, Tokyo 100-0005, Japan
[News, Profiles, Stocks and More about this company](#)

🔍 Published / Filed: **2002-05-30 / 2001-11-22**

🔍 Application **WO2001JP0010216**

Number:

🔍 IPC Code: **H01L 27/12**;

🔍 ECLA Code: **H01L21/762D8D**;

🔍 Priority Number: 2000-11-27 **JP2000000358783**

🔍 Abstract: A method for manufacturing a semiconductor wafer wherein a semiconductor wafer having a sufficient lattice strain to enhance electron mobility and having an Si layer of less crystal defect despite of a relatively simple laminate structure is manufactured by a simple process. This manufacturing method comprises the step of epitaxially growing an SiGe layer on the surface of a first silicon single crystal wafer, the step of coupling the surface of the SiGe layer with the surface of a second wafer with an oxide film in between, and the step of thinning off the silicon single crystal wafer coupled with the second wafer to expose the Si layer with involved lattice strain. [French] [Japanese]

🔍 Attorney, Agent or Firm: **ISHIHARA, Shoji** ; No.302, Wakai Bldg., 7-8, Higashi-Ikebukuro 3-chome, Toshima-ku, Tokyo 170-0013 Japan

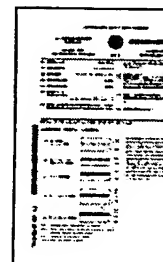
🔍 INPADOC [Show legal status actions](#)
Legal Status:

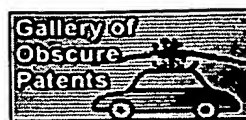
Get Now: [Family Legal Status Report](#)

🔍 Designated **KR US, European patent**: AT BE CH CY DE DK ES FI FR GB GR IE IT
Country: LU MC NL PT SE TR

🔍 Family: [Show 2 known family members](#)

🔍 Other Abstract **DERABS C2002-454967**
Info:





[Nominate](#)



[this for the Gallery...](#)

© 1997-2004 Thomson

[Research Subscriptions](#) | [Privacy Policy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Feedback](#)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 5 月 30 日 (30.05.2002)

PCT

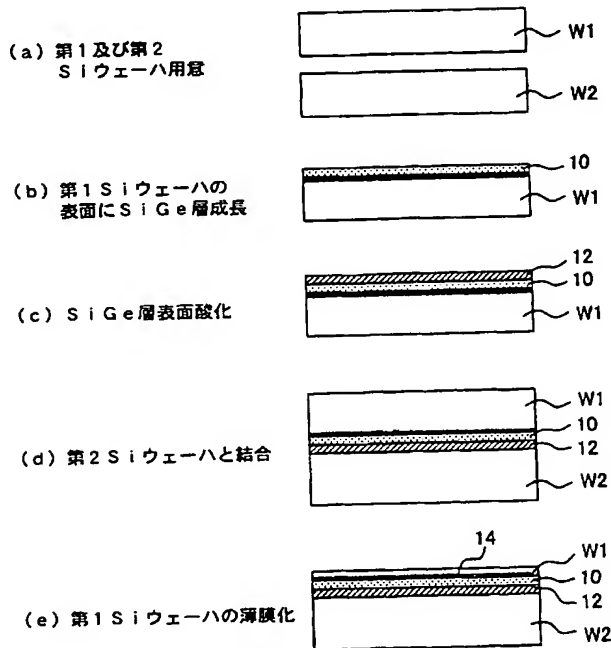
(10) 国際公開番号
WO 02/43153 A1

- (51) 国際特許分類: H01L 27/12 [JP/JP]; 〒100-0005 東京都千代田区丸の内一丁目4番2号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/10216
- (22) 国際出願日: 2001 年 11 月 22 日 (22.11.2001) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 曲 偉峰 (QU, Wei Feig) [CN/JP]. 木村雅規 (KIMURA, Masanori) [JP/JP]; 〒379-0196 群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内 Gunma (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2000-358783 2000 年 11 月 27 日 (27.11.2000) JP (74) 代理人: 石原昭二 (ISHIHARA, Shoji); 〒170-0013 東京都豊島区東池袋3丁目7番8号 若井ビル302号 Tokyo (JP).
- (71) 出願人 (米国を除く全ての指定国について): 信越半導体株式会社 (SHIN-ETSU HANDOTAI CO., LTD.) (81) 指定国 (国内): KR, US.

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR WAFER

(54) 発明の名称: 半導体ウェーハの製造方法



(57) Abstract: A method for manufacturing a semiconductor wafer wherein a semiconductor wafer having a sufficient lattice strain to enhance electron mobility and having an Si layer of less crystal defect despite of a relatively simple laminate structure is manufactured by a simple process. This manufacturing method comprises the step of epitaxially growing an SiGe layer on the surface of a first silicon single crystal wafer, the step of coupling the surface of the SiGe layer with the surface of a second wafer with an oxide film in between, and the step of thinning off the silicon single crystal wafer coupled with the second wafer to expose the Si layer with involved lattice strain.

- (a) ...PREPARE FIRST AND SECOND Si WAFERS
(b) ...GROW SiGe LAYER ON SURFACE OF FIRST Si WAFER
(c) ...OXIDIZE SURFACE OF SiGe LAYER
(d) ...COUPLE WITH SECOND Si WAFER
(e) ...THIN OFF FIRST Si WAFER

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

比較的単純な積層構造にもかかわらず、電子の移動度を高めるのに十分な格子歪みを有し、かつ、結晶欠陥の少ないSi層を有する半導体ウェーハを簡便な製造プロセスにより製造することのできる半導体ウェーハの製造方法を提供する。第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面と第2のウェーハの表面とを酸化膜を介して結合する工程と、該第2のウェーハと結合された該第1のシリコン単結晶ウェーハを薄膜化して格子歪みを内在するSi層を露出させる工程と、を有するようにした。

明 細 書

半導体ウェーハの製造方法

5 技術分野

本発明は、格子歪みを内在するシリコン層を有する半導体ウェーハの製造方法に関する。

背景技術

- 10 シリコン単結晶を用いた半導体デバイスの性能を向上させるための一手法として、シリコン単結晶中の電子の移動度を高めることが有効である。そこで、通常の格子定数（約 5.43 オングストローム）を有するシリコン単結晶に引張り歪みを内在させた歪みシリコン層（以下、歪み Si 層と称する。）を、例えば n チャンネル MOS トランジスタの活性層
15 に用いることによりキャリアの移動度を向上させ、高速動作を可能にするデバイスなどが検討されている。

- このような歪み Si 層を有する半導体ウェーハの製造方法は、例えば、特開平 9-180999 号公報や特開平 11-233440 号公報に記載されている。これらの技術はいずれも Si よりも格子定数の大きな SiGe 層上に Si 層をエピタキシャル成長させることにより歪み Si 層
20 を形成するものであり、十分に格子緩和された SiGe 層を用いて Si 層に歪みを発生させること、および、SiGe 層中に転位を発生させないようにして歪み Si 層の成長時に転位を伝播させないこと、という 2 つの課題を解決するものであった。

- 25 しかしながら、前記 2 つの方法は、少なくとも 2 回の薄膜成長プロセス（エピタキシャル成長やスパッタ法など）を伴うものであり、必ずし

も簡便な方法とは言えなかった。これについて下記に詳述する。

まず、特開平 9-180999 号公報に記載された半導体ウェーハは、ウェーハ表面から順に、歪み Si 層 / SiGe 層 / Ge 層 / Si 層 / SiO₂ 層 / Si 基板という構造を有するものであり、その製造プロセスは、図 3 に示す様に、SOI ウェーハの作製 (ステップ 100) → Si 層エピタキシャル成長 (ステップ 102) → Ge 層成長 (ステップ 104) → SiGe 層成長 (ステップ 106) → 格子緩和熱処理 (ステップ 108) → 歪み Si 層成長 (ステップ 110) であり、4 回ものエピタキシャル成長を伴うものであった。

また、特開平 11-233440 号公報に記載された半導体ウェーハは、ウェーハ表面から順に、歪み Si 層 / CaF₂ 層 / (SiGe 層) / Si 基板という構造を有するものであり、その製造プロセスは、図 4 に示す様に、Si ウェーハ用意 (ステップ 200) → CaF₂ 層のスパッタ法による堆積 (ステップ 202) → (SiGe 層成長) (ステップ 204) → 歪み Si 層成長 (ステップ 206) であり、こちらの場合も、少なくとも 2 回の薄膜成長を伴うものであり、また、CaF₂ といった特殊な層を形成するものであった。

このように、従来の方法では多くのプロセスを伴った複雑な積層構造から構成されるものであったため、その製造コストが高く汎用性に欠けていた。

発明の開示

本発明は、このような問題点を解決するためになされたものであり、比較的単純な積層構造にもかかわらず、電子の移動度を高めるのに十分な格子歪みを有し、かつ、結晶欠陥の少ない Si 層を有する半導体ウェーハを簡便な製造プロセスにより製造することのできる半導体ウェーハ

の製造方法を提供することを目的とする。

上記目的を達成するため、本発明の半導体ウェーハの製造方法の第1の態様は、第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面と第2のウェーハの表面とを酸化膜を介して結合する工程と、該第2のウェーハと結合された該第1のシリコン単結晶ウェーハを薄膜化して格子歪みを内在するSi層を露出させる工程と、を有することを特徴とする。

本発明の半導体ウェーハの製造方法の第2の態様は、第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面または第2のウェーハの表面の少なくとも一方に酸化膜を形成する工程と、該SiGe層を通して第1のシリコン単結晶ウェーハに水素イオンまたは希ガスイオンの少なくとも一方を注入して微小気泡層を形成する工程と、該前記酸化膜を介して該第1のシリコン単結晶ウェーハと第2のウェーハとを結合した後、該微小気泡層で該第1のシリコン単結晶ウェーハを剥離する工程と、を有することを特徴とする。

上記第2の態様において、上記剥離する工程により剥離され上記第2のウェーハに移動した上記第1シリコン単結晶ウェーハ薄膜の剥離面を、研磨または熱処理、あるいはこれらを組み合わせて平坦化する工程をさらに設けるのが好ましい。上記微小気泡層は、第1のシリコン単結晶ウェーハの格子歪みを有する領域に形成することができる。

上記第1及び第2の態様において、上記酸化膜は上記SiGe層の表面に熱酸化により形成されるのが好ましい。上記第2のウェーハとしては、シリコン単結晶ウェーハを用いることが好ましい。

図 1 は、本発明方法の第 1 の実施形態を示すフローチャートである。

図 2 は、本発明方法の第 2 の実施形態を示すフローチャートである。

図 3 は、従来の半導体ウェーハの製造方法の一例を示すフローチャートである。

5 図 4 は、従来の半導体ウェーハの製造方法の他の例を示すフローチャートである。

発明を実施するための最良の形態

以下に本発明の実施の形態を添付図面を用いて説明するが、本発明の
10 技術思想から逸脱しない限り図示例以外にも種々の変形が可能なことはいうまでもない。

(第 1 の実施の形態)

図 1 に本発明の第 1 の実施の形態である半導体ウェーハの製造フローを示した。図 1 に示された製造フローは、基本的には 2 枚のシリコンウェーハを用いて貼り合わせ法により S O I ウェーハを製造する際の通常
15 の製造フローに、S i G e 層を成長する工程 (b) を加えただけのものである。

まず、最終的に歪み S i 層の材料となる第 1 及び第 2 の S i ウェーハ W 1, W 2 を用意する〔図 1 (a)〕。この S i ウェーハ W 1 は、単結
20 晶シリコンであれば特に限定はされず、C Z 法や F Z 法で作製された S i ウェーハを用いることができる。ただし、デバイスを形成する歪み S i 層の品質を高めるため、少なくとも用いるウェーハの表面近傍には結晶欠陥が少ないものを用いることが好ましい。具体的には、熱処理によりウェーハ表面近傍に D Z 層を形成したウェーハや、C Z 法の引き上げ
25 条件を調整することにより、単結晶中のいわゆる Grown-in 欠陥を低減 (あるいは消滅) させたウェーハや、F Z ウェーハなどが好適である。

次に、前記第1のSiウェーハW1の表面にSiGe層10をエピタキシャル成長により形成する〔図1(b)〕。SiGe層10の形成には、例えば分子線エピタキシャル成長装置や超高真空化学気相成長(UHV-CVD)装置などを用いることができる。

- 5 形成するSiGe層10のGe組成は10～40%程度が好ましい。10%未満では十分な引張り歪みを有する歪みSi層が形成されず、40%を超えるとSiウェーハW1とSiGe層10の格子定数の差異によりSiGe層10にミスフィット転位が発生しやすくなるため、最終的に形成される歪みSi層の結晶性に悪影響を及ぼす。また、SiGe
- 10 層10の厚さは10nm～1μm程度が好ましい。10nm未満では十分な引張り歪みを有する歪みSi層が形成されず、1μmを超えると寄生容量の増加等により歪みSi層に形成されるデバイス特性が悪化する。尚、上記の工程により第1のSiウェーハW1上に格子定数の異なるSiGe層10が形成されても、第1のSiウェーハW1の厚み効果により、第1のSiウェーハW1側に転位が発生することはない。
- 15

- 次に、SiGe層10の表面に酸化膜12を形成する〔図1(c)〕。酸化膜の形成は通常熱酸化法を用いてもよいし、CVD法により堆積してもよい。熱酸化法を用いると、SiGe層10表面には化学的に安定なSiO₂層12が形成され、余分なGe原子がSiGe層10には
- 20 じき出されSiGe層10中のGe濃度が高くなる。従って、ミスフィット転位の発生を抑制する目的でエピタキシャル成長する際のGe組成を比較的低くした場合であっても、SiGe層10表面を熱酸化することにより最終的に形成される歪みSi層の引張り歪みを高めることができる。また、十分な引張り歪みを得るために、熱酸化と酸化膜除去を繰
- 25 り返し行ってもよい。

次に、SiGe層10表面に形成した酸化膜12と第2のSiウェー

ハW2の表面を密着させ、後の薄膜化工程に耐え得る結合強度になるように熱処理を行う〔結合熱処理、図1(d)〕。熱処理条件は、後の薄膜化工程に耐え得る条件であれば特に限定されないが、薄膜化を研削、研磨により行う場合には、800～1200℃で0.5～5時間程度行うことが好ましい。

最後に第1のSiウェーハW1を薄膜化して歪みSi層14を露出させる〔図1(e)〕。歪みSi層14の厚さは、1～100nm程度が好ましい。100nmを超えるとSiGe層10による引張り歪みが内在しなくなる恐れがあり、1nm未満では良好なデバイス特性が得られない上、加工も困難である。

Si層14の薄膜化手法としては、研削、研磨のほか、酸やアルカリ水溶液を用いたウェットエッチング、プラズマを利用した気相エッチング、ラッピング、あるいは、スライスにより2分割にした後、研磨する手法などを挙げることができる。これらの薄膜化手法によっては、薄膜化の前に行う結合熱処理を省略したり、接着剤等を使用して結合することもできる。

(第2の実施の形態)

図2に本発明の第2の実施形態である半導体ウェーハの製造フローを示した。図2に示された製造フローは、基本的には2枚のシリコンウェーハを用いて、イオン注入剥離法（水素イオン剥離法、スマートカット法（登録商標）とも呼ばれる。）によりSOIウェーハを製造する際の製造フローに、SiGe層を成長する工程（b）を加えただけのものである。尚、図2におけるSiGe層の表面を酸化する工程まで〔図2(a)～図2(c)〕は、図1(a)～図1(c)と同一工程であるので再度の説明は省略する。

SiGe層10の表面に形成された酸化膜12の表面側から、酸化膜

1 2 および S i G e 層 1 0 を通して水素イオンまたは希ガスイオンの少なくとも一方（図 2（d）では水素イオン 1 6）を注入することにより、第 1 の S i ウェーハ W 1 中に微小気泡層 1 8 を形成する〔図 2（d）〕。

微小気泡層 1 8 が形成される位置（深さ）は水素イオン 1 6 の注入エネルギーにより決まり、その微小気泡層 1 8 を境界として後の剥離熱処理により剥離を発生させるためには、 $1 \times 10^{16} / \text{cm}^2$ を超える注入線量（例えば $5 \times 10^{16} / \text{cm}^2$ ）が必要とされる。剥離して形成される多層構造のウェーハの最表面の S i 層表面が確実に格子歪み（引張り歪み）を有する様にするためには、前記微小気泡層 1 8 を第 1 の S i ウェーハ W 1 の格子歪みを有する領域（第 1 の S i ウェーハ W 1 の表面から 1 0 0 nm 以下の領域）に形成することが好ましい。

次に、S i G e 層 1 0 表面に形成した酸化膜 1 2 と第 2 の S i ウェーハ W 2 の表面を密着させ〔図 2（e）〕、5 0 0℃以上の熱処理（剥離熱処理）を加えることにより、前記微小気泡層 1 8 で剥離を生じさせる〔図 2（f）〕。その後、必要に応じてさらに高温での結合熱処理を行うことにより結合強度を高めてもよい。また、最近では、イオン注入剥離法的一种ではあるが、注入される水素イオンを励起してプラズマ状態で注入することにより剥離熱処理を行うことなく、室温で剥離を行う方法も開発されているので、この方法を用いる場合には剥離熱処理を省略することができる。

剥離後の歪み S i 層 1 4 の表面は鏡面ではあるが若干の面粗さを有しているので、タッチポリッシュと呼ばれる研磨代の極めて少ない研磨を行い平坦化する〔図 2（g）〕。タッチポリッシュの代わりに、アルゴンガスや水素ガス雰囲気中で熱処理することにより平坦化する手法や、これらを組み合わせて平坦化することも可能である。

熱処理条件としては、通常の抵抗加熱式熱処理炉を用いる場合には、

1100～1300℃、0.5～5時間程度の熱処理が好適であり、RTA (Rapid Thermal Annealing) 装置を用いる場合には、1100～1350℃、1～120秒程度の熱処理が好適である。また、これらを組み合わせて熱処理を行うこともできる。

- 5 尚、図1および図2に示した実施の形態では第1のSiウェーハW1のSiGe層10の表面に酸化膜12を形成する場合を例示したが、第2のSiウェーハW2に酸化膜を形成してもよいし、第1及び第2のSiウェーハ双方に酸化膜を形成してもよい。また、第2のSiウェーハW2として、抵抗率が1000Ω・cm以上の高抵抗率ウェーハを用いることにより、高周波特性に優れ、移動体通信用の半導体ウェーハとして用いることができる。さらに第2のウェーハW2としては、石英基板、サファイア基板、SiC、窒化アルミニウム基板等の絶縁性基板を用いることもできる。

実施例

- 15 以下に実施例をあげて本発明をさらに具体的に説明するが、これらの実施例は限定的に解釈すべきでないことは勿論である。

(実施例1：第1の実施の形態に対応)

図1に示した第1の実施の形態の手順に従って下記条件で十分な格子歪みを有する半導体ウェーハを製造した。

- 20 1. 使用ウェーハ (第1および第2ウェーハの用意) [図1(a)]
直径200mm、p型、結晶方位<100>、10Ω・cm
2. 第1ウェーハの表面にSiGe層成長 (UHV-CVD装置) [図1(b)]

原料ガス：GeH₄、Si₂H₆

- 25 成長温度：700℃

SiGe組成：Si_{0.7}Ge_{0.3}

成長層厚：150 nm

3. SiGe表面酸化〔図1(c)〕

酸化条件：800℃、パイロジェニック酸化

酸化膜厚：100 nm

5 4. 結合工程〔図1(d)〕

両ウェーハを室温で密着させ1000℃、2時間の熱処理（酸化性雰囲気）

5. 薄膜化〔図1(e)〕

平面研削：第1 Siウェーハ厚が約20 μmになるまで研削。

10 鏡面研磨：第1 Siウェーハ厚が約4 μmになるまで研磨。

PACE（Plasma Assisted Chemical Etching）法による気相エッチングにより第1 Siウェーハ厚が約100 nmになるまで薄膜化（PACE法は第2565617号特許に記載された技術）。

（実施例2：第2の実施の形態に対応）

15 図2に示した第2の実施の形態の手順に従って下記条件で十分な格子歪みを有する半導体ウェーハを製造した。

1. 使用ウェーハ（第1および第2ウェーハの用意）〔図2(a)〕

直径200 mm、p型、結晶方位<100>、10 Ω・cm

20 2. 第1ウェーハの表面にSiGe層成長（UHV-CVD装置）〔図2(b)〕

原料ガス：GeH₄、Si₂H₆

成長温度：700℃

SiGe組成：Si_{0.85}Ge_{0.15}

成長層厚：120 nm

25 3. SiGe表面酸化〔図2(c)〕

酸化条件：800℃、パイロジェニック酸化

10

酸化膜厚：100 nm

4. 水素イオン注入〔図2 (d)〕

H⁺イオン注入条件：35 keV、 $8 \times 10^{16} / \text{cm}^2$

5. 剥離工程〔図2 (e) 及び (f)〕

- 5 両ウェーハを室温で密着させ、500℃、30分の熱処理（窒素雰囲気）により剥離。剥離後の多層ウェーハの最表面Si層の厚さ約130 nm。

6. 結合熱処理

800℃、2時間、窒素雰囲気

- 10 7. タッチポリッシュ〔図2 (g)〕

研磨代約30 nm

産業上の利用可能性

- 以上述べたごとく、本発明によれば、比較的単純な積層構造にもかかわらず、電子の移動度を高めるのに十分な格子歪みを有し、かつ、結晶欠陥の少ないSi層を有する半導体ウェーハを簡便な製造プロセスにより製造することができるという効果が達成される。
- 15

請求の範囲

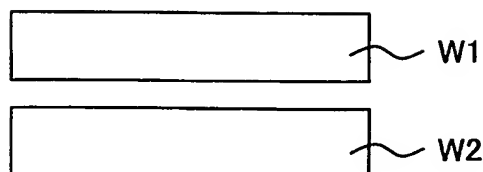
1. 第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面と第2のウェーハの表面とを酸化膜を介して結合する工程と、該第2のウェーハと結合された該第1のシリコン単結晶ウェーハを薄膜化して格子歪みを内在するSi層を露出させる工程と、を有することを特徴とする半導体ウェーハの製造方法。
2. 第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面、または第2のウェーハの表面の少なくとも一方に酸化膜を形成する工程と、該SiGe層を通して第1のシリコン単結晶ウェーハに水素イオンまたは希ガスイオンの少なくとも一方を注入して微小気泡層を形成する工程と、該酸化膜を介して該第1のシリコン単結晶ウェーハと第2のウェーハとを結合した後、該微小気泡層で該第1のシリコン単結晶ウェーハを剥離する工程と、を有することを特徴とする半導体ウェーハの製造方法。
3. 前記剥離する工程により剥離され前記第2のウェーハに移動した前記第1シリコン単結晶ウェーハ薄膜の剥離面を、研磨または熱処理あるいはこれらを組み合わせて平坦化する工程を有することを特徴とする請求項2に記載された半導体ウェーハの製造方法。
4. 前記微小気泡層を、前記第1のシリコン単結晶ウェーハの格子歪みを有する領域に形成することを特徴とする請求項2または請求項3に記載された半導体ウェーハの製造方法。
5. 前記酸化膜を前記SiGe層の表面に熱酸化により形成することを特徴とする請求項1から請求項4のいずれか1項に記載された半導体ウェーハの製造方法。
6. 前記第2のウェーハとして、シリコン単結晶ウェーハを用いること

を特徴とする請求項 1 から請求項 5 のいずれか 1 項に記載された半導体ウェーハの製造方法。

図 1

JP10216

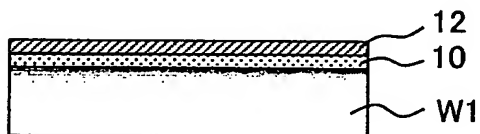
(a) 第1及び第2
Siウェーハ用意



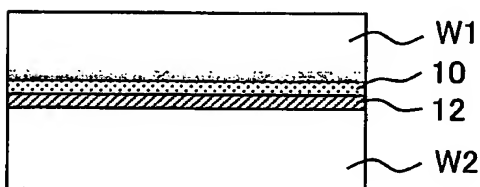
(b) 第1Siウェーハの
表面にSiGe層成長



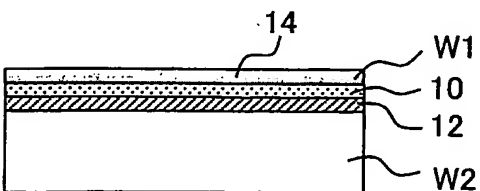
(c) SiGe層表面酸化



(d) 第2Siウェーハと結合



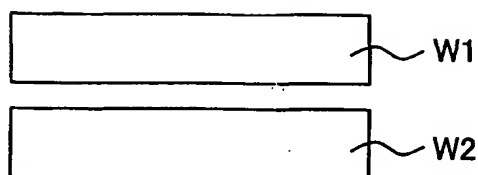
(e) 第1Siウェーハの薄膜化



2 / 4

図 2

(a) 第1及び第2
Siウェーハ用意



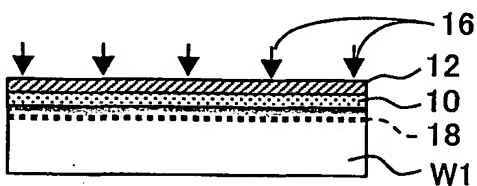
(b) 第1Siウェーハの
表面にSiGe層成長



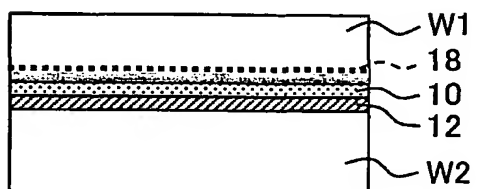
(c) SiGe層表面酸化



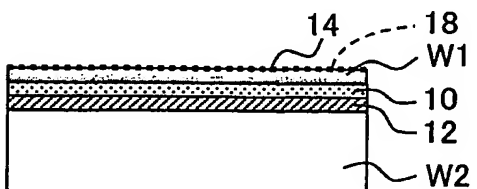
(d) 水素イオン注入



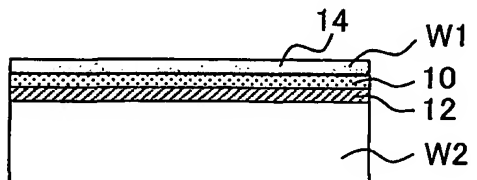
(e) 第2Siウェーハと密着



(f) 剥離熱処理

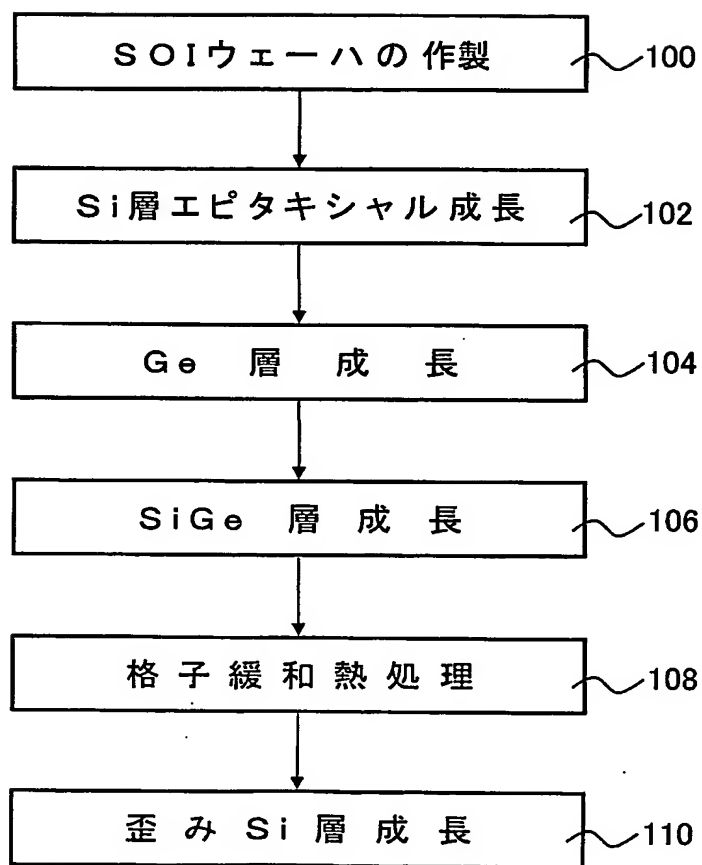


(e) 平坦化 (タッチポリッシュ)



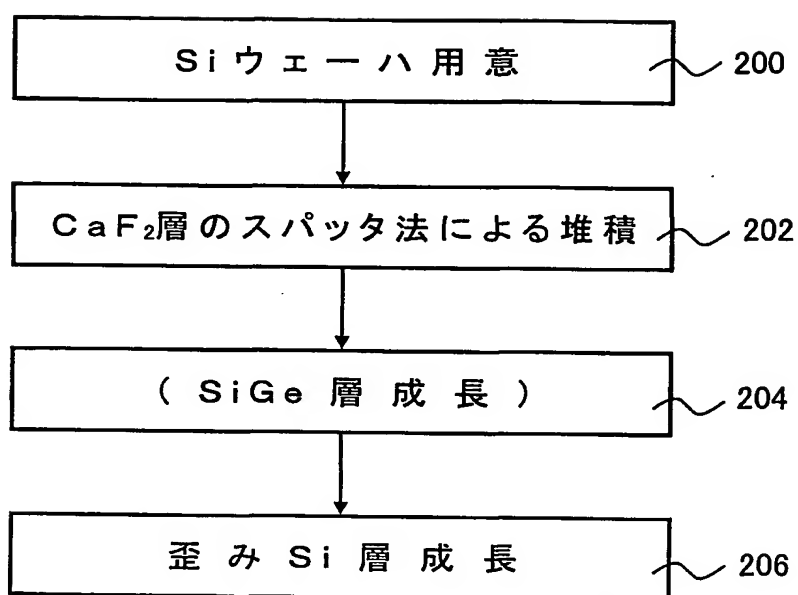
3 / 4

図 3



4 / 4

図 4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/10216

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L27/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/12, H01L21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
EX	JP 2001-217430 A (Toshiba Corporation), 10 August, 2001 (10.08.2001), Full text; Figs. 1 to 12 (Family: none)	1-6
A	JP 9-180999 A (Toshiba Corporation), 11 July, 1997 (11.07.1997), Full text; Figs. 1 to 8 (Family: none)	1-6
A	EP 651439 A2 (International Business Machines Corporation), 12 October, 1994 (12.10.1994), Full text; Figs. 1, 2 & JP 7-169926 A Full text; Figs. 1, 2 & US 5461243 A & US 5759898 A	1-6
A	US 5882987 A (International Business Machines Corporation), 16 March, 1999 (16.03.1999), Full text; Figs. 1 to 6 & JP 11-121377 A Full text; Figs. 1 to 14	1-6

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 February, 2002 (18.02.02)Date of mailing of the international search report
26 February, 2002 (26.02.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/10216

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	T. MIZUNO, et al., "Electron and Hole Mobility Enhancement in Strained-Si MOSFET's on SiGe-on-Insulator Substrates Fabricated by SIMOX Technology", IEEE Electron Device Letters, Vol.21, No.5, May, 2000 (05.2000), pages 230 to 232	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/12, H01L21/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2002年

日本国登録実用新案公報 1994-2002年

日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EX	J P 2001-217430 A (株式会社東芝) 2001. 08. 10 全文, 第1-12図 (ファミリーなし)	1-6
A	J P 9-180999 A (株式会社東芝) 1997. 07. 11 全文, 第1-8図 (ファミリーなし)	1-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

18. 02. 02

国際調査報告の発送日

26.02.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也



4L

9835

電話番号 03-3581-1101 内線 3496

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP 651439 A2 (International Business Machines Corporation) 1994. 10. 12 全文, 第1, 2図 & JP 7-169926 A 全文, 第1, 2図 & US 5461243 A & US 5759898 A	1-6
A	US 5882987 A (International Business Machines Corporation) 1999. 03. 16 全文, 第1-6図 & JP 11-121377 A 全文, 第1-14図	1-6
A	T. Mizuno, et. al., 'Electron and Hole Mobility Enhancement in Strained-Si MOSFET's on SiGe-on-Insulator Substrates Fabricated by SIMOX Technology', IEEE ELECTRON DEVICE LETTERS, VOL. 21, NO. 5, 2000. 05, pp. 230-232	1-6